

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-329869

(43)Date of publication of application : 15.11.2002

(51)Int.Cl. H01L 29/786

G02F 1/1368

H01L 21/205

(21)Application number : 2001-
131295

(71)Applicant : MATSUSHITA ELECTRIC
IND CO LTD

(22)Date of filing :

27.04.2001

(72)Inventor : AOKI MOTOKUNI

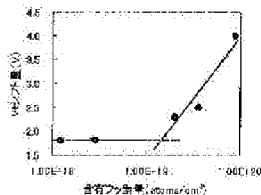
TAKEZAWA HIROYOSHI

BABA HIROSUKE

KONISHI YOSHIHIRO

KOJIMA TETSUYA

(54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of an a-Si TFT having an excellent reliability, by improving the film quality of its semiconductor layer wherein fluorine has been so entrapped conventionally in its manufacturing process as to cause its on/off resistances to deteriorate, although an SiNx film and an a-Si film are formed continuously in it by a plasma CVD method as its gate insulation film and as its semiconductor layer and it has otherwise originally excellent on/off resistances.

SOLUTION: A TFT is so created that the fluorine content of its semiconductor layer created by a plasma CVD method has a small value not larger than 1.0×10^{19} (atoms/cm³). By such improvement of the film quality of its semiconductor layer as to make good the film quality present near the interface between its gate insulation film and its semiconductor layer, there can be provided the a-Si TFT of an excellent characteristic having a small shifting quantity of its V_t which is caused by its low trapping level.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against

examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of the semiconductor device characterized by making it the fluorine content of said semi-conductor layer become below 1.0×10^{19} (atoms/cm³) in manufacture of the semiconductor device with which a laminating is carried out and some constructs are formed on the 1 principal plane of a substrate so that the insulator layer and semi-conductor layer which consist of a silicon nitride may touch mutually.

[Claim 2] The manufacture approach of a semiconductor device according to claim 1 that an insulator layer and a semi-conductor layer are characterized by being continuously produced by the plasma chemistry gaseous-phase depositing method.

[Claim 3] The manufacture approach of a semiconductor device according to claim 1 that an insulator layer and a semi-conductor layer are characterized by being the gate dielectric film and the semi-conductor layer of a field effect transistor.

[Claim 4] The manufacture approach of a semiconductor device according to

claim 1 that a semi-conductor layer is characterized by being an amorphous silicon film.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a semiconductor device.

[0002]

[Description of the Prior Art] By the plasma chemistry gaseous-phase depositing method (it is henceforth called a plasma-CVD method), since it has the on resistance and off resistance which the thin film field-effect transistor (it is henceforth called a-Si TFT) respectively formed continuously as gate dielectric film and semi-conductor film excelled in the silicon nitride (it is henceforth called the SiN_x film) and the amorphous silicon film (it is henceforth called the a-Si film), it is put in practical use as a switching element of a liquid crystal image display device.

[0003]

[Problem(s) to be Solved by the Invention] However, in those production processes, in case the interior of a process chamber of plasma-CVD equipment is cleaned using gas, such as NF₃, CF₄, and SF₆, when a fluorine remains inside a process chamber and a fluorine mixes in the semi-conductor layer which formed membranes immediately after, there is a problem of degrading the on resistance of a-Si TFT and off resistance.

[0004] Then, this invention aims at offering the manufacture approach of semiconductor devices, such as a-SiTFT which improves the membraneous quality of a semi-conductor layer and has the outstanding dependability.

[0005]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, this invention is produced so that the fluorine content of the semi-conductor layer which removes the residual fluorine in a process chamber by the approach of generating the hydrogen plasma, and is produced by the plasma-CVD method after cleaning of the process chamber of plasma-CVD equipment may have a small value below 1.0×10^{19} (atoms/cm³).

[0006] By the improvement of the membraneous quality of a semi-conductor layer, this invention improves the membraneous quality near an interface, originates in that there are few trap levels, and can offer outstanding a-Si TFT of a property. Therefore, the thing of a property which was excellent also in the semiconductor device of other application using the semi-conductor layer of this invention is obtained.

[0007]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing. Drawing 1 shows the important section structure section of a-Si TFT in the gestalt of 1 operation of this invention. In drawing 1, the gate electrode 2 which consists of conductors, such as Cr, aluminum, and Mo, is alternatively formed on a glass substrate 1.

[0008] After cleaning the interior of a process chamber of plasma-CVD equipment, the fluorine inside a process chamber is removed by generating the

hydrogen plasma.

[0009] By subsequently, the plasma-CVD method of an parallel monotonous mold for having used 13.56MHz glow discharge As gate dielectric film, the SiNx film 3 of the thickness of 3000x10-10m (or 3000A) extent, It deposits continuously. the a-Si film 5 of n+ mold which includes the a-Si film 4 of 2000x10-10m (or 2000A) extent, and Lynn as an impurity by the plasma-CVD method same as semi-conductor film as the SiNx film -- thickness 200x10-10m (or 200A) extent -- The a-Si film is alternatively removed by etching etc., and the pattern of the island-shape a-Si film is formed.

[0010] Furthermore, a-Si TFT is produced by forming the film which consists of conductors, such as Cr, aluminum, and Mo, on the pattern of the a-Si film 4 and the a-Si film 5 of n+ mold, and removing the n+ mold a-Si film between the source electrodes 6 and the drain electrodes 7 by which covering formation was alternatively carried out by etching etc.

[0011] On the property of a-Si TFT, and according to research of this invention persons, especially for an ON property and dependability, it is ***** to greatly be influenced by the membraneous quality of a semi-conductor layer. Especially, it was checked among the membraneous qualities of these semi-conductor layers that the amount of fluorine mixing is the big parameter which shows the optimal membraneous quality.

[0012] It is the same conditions as producing a-Si TFT, and the amount of fluorine mixing of the semi-conductor layer in the gestalt of this operation made the SiNx film and a semi-conductor layer deposit on the single crystal silicon substrate by which double-sided polishing was carried out, by secondary ion mass spectroscopy (SIMS), it carried out the quantum of the fluorine content per unit volume of a semi-conductor layer, and calculated it.

[0013] The shift of V_t of a same sign produces especially degradation of the a-Si TFT property by degradation of the membraneous quality of a semi-conductor layer by forward [of the sign of the gate voltage appeared and impressed to the threshold electrical potential difference V_t of the gate], and negative.

[0014] In a-Si TFT shown in drawing 1, the threshold electrical potential difference V_t of the gate in the gestalt of this operation was made into gate voltage in case a drain current is set to $1 \times 10^{-8} \text{A}$, when channel width W and the W/L ratio of the channel length L impressed uniformly a grounded source and drain electrical-potential-difference 0.1V in the environment of a dark place at the substrate temperature of 25.0 ± 3.0 degrees C using the thing of 6. Moreover, V_t shift amount subtracts the gate threshold electrical potential difference V_t immediately after a-Si TFT production from the threshold electrical potential difference V_t when carrying out long duration actuation of a-Si TFT, and ending.

[0015] Drawing 3 shows the pattern of V_t shift of the fluorine content of a semi-conductor layer of a-Si TFT of $8.84 \times 10^{19} \text{ (atoms/cm}^3\text{)}$. The property immediately after a-Si TFT production was A curve, and was $V_t = V_{t1} \pm 0.5 \text{V}$. The property after operating a-Si TFT in a 25.0 ± 3.0 -degree C environment among the desiccation nitrogen-gas-atmosphere mind of a dark place for 10 minutes by grounded source, grounded drain, and gate voltage 30V regularity (direct-current operating condition) is B curve. $V_t = V_{t2} \pm 4.5 \text{V}$, V_t showed the forward shift and the drain current in case gate voltage is 20V has decreased 11% with $2 = 7.2 \mu\text{A}$ [of I_D] A in after what was initial $I_{D1} = 8.1 \mu\text{A}$ operating.

[0016] Drawing 2 changes various conditions of plasma CVD, such as a flow rate of hydrogen gas, discharge power, and a degree of vacuum, on the occasion of hydrogen plasma generating. About the semi-conductor layer produced after changing the amount of fluorines inside a process chamber, among the desiccation nitrogen-gas-atmosphere mind of a dark place, in a 25.0 ± 3.0 -degree C environment It is drawing which plotted V_t shift amount at the time of making it operate for 10 minutes by grounded source, grounded drain, and gate voltage 30V regularity (direct-current operating condition) on the axis of ordinate, and plotted the fluorine content of a semi-conductor layer on the axis of abscissa.

[0017] In drawing 2, V_t shift amount of a-Si TFT is located in a line on two straight lines by making a fluorine content into a parameter. And when the fluorine content became larger than about $1.2 \times 10^{19} \text{ (atoms/cm}^3\text{)}$, it became

clear that V_t shift amount increases with the increment in a fluorine content.

[0018] In order to obtain a-Si TFT excellent in dependability from the above thing, it turns out that it is required for the fluorine content of a semi-conductor layer to be small to below 1.0×10^{19} (atoms/cm³).

[0019]

[Effect of the Invention] As explained above, according to this invention, it is thought that the semi-conductor layer produced by the plasma-CVD method a fluorine content is small to below 1.0×10^{19} (atoms/cm³) has a small level consistency near an interface as mentioned above, and it excels as a semi-conductor layer of a semiconductor device. Furthermore, a-Si TFT using the semi-conductor layer of this invention has stable V_t shift, and can produce a-Si TFT which has the outstanding dependability.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The important section structure section Fig. of a-Si TFT in the gestalt of 1 operation of this invention

[Drawing 2] The property Fig. showing relation with V_t shift amount of a-Si TFT at

the time of performing direct-current actuation for 10 minutes with the fluorine content of a semi-conductor layer

[Drawing 3] The property Fig. in which having plotted the drain current on the axis of ordinate, having plotted gate voltage on the axis of abscissa, and having shown the situation of V_t shift

[Description of Notations]

- 1 Glass Substrate
- 2 Gate Electrode
- 3 SiN_x Film
- 4 A-Si Film
- 5 N⁺ Mold A-Si Film
- 6 Source Electrode
- 7 Drain Electrode

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

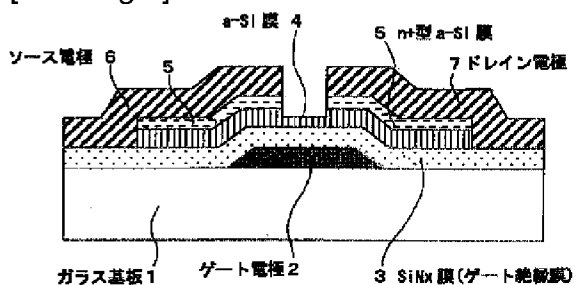
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

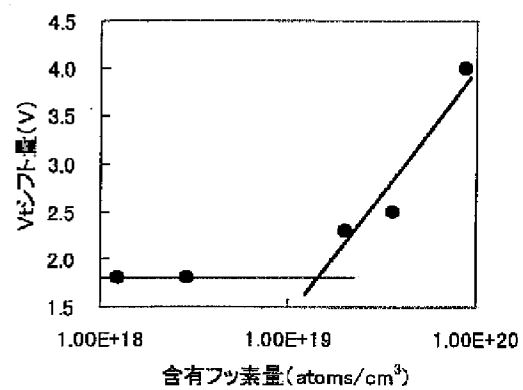
3. In the drawings, any words are not translated.

DRAWINGS

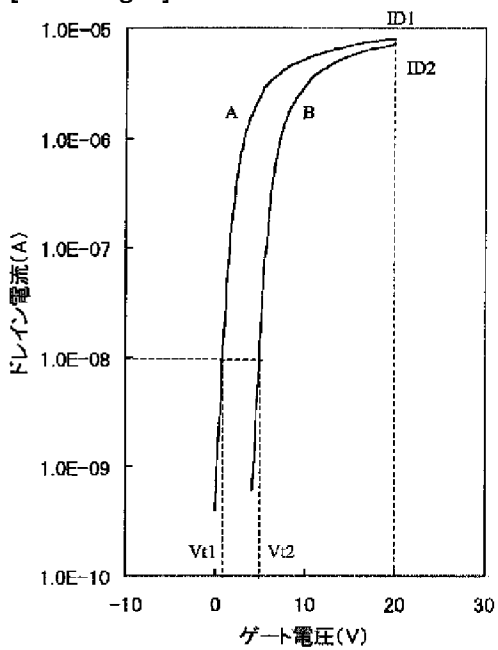
[Drawing 1]



[Drawing 2]



[Drawing 3]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-329869
(P2002-329869A)

(43) 公開日 平成14年11月15日 (2002. 11. 15)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 29/786		G 0 2 F 1/1368	2 H 0 9 2
G 0 2 F 1/1368		H 0 1 L 21/205	5 F 0 4 j
H 0 1 L 21/205		29/78	6 1 8 C 5 F 1 1 0

審査請求 未請求 請求項の数4 O L (全 4 頁)

(21) 出願番号 特願2001-131295(P2001-131295)

(22) 出願日 平成13年4月27日 (2001. 4. 27)

(71) 出願人 000003821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 青木 基晋

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 竹澤 浩義

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100112128

弁理士 村山 光威

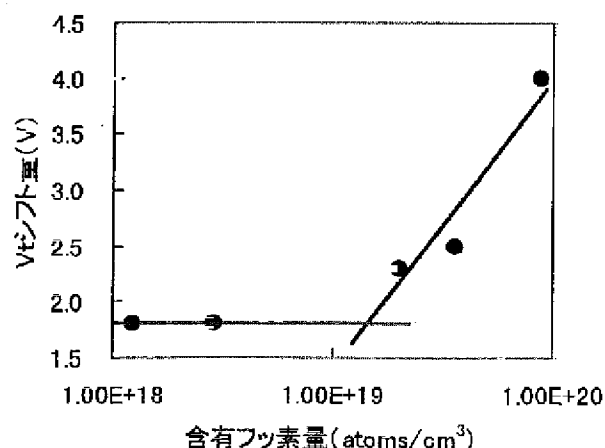
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 プラズマCVD法でSiNx膜とa-Si膜とがゲート絶縁膜及び半導体層として連続的に形成されてなるa-Si TFTは優れたオン抵抗、オフ抵抗を有するが、製造過程において半導体層に混入するフッ素がオン抵抗、オフ抵抗を劣化させる原因となる。そこで、半導体層の膜質を改善し、優れた信頼性を有するa-Si TFTの製造方法を提供する。

【解決手段】 プラズマCVD法で作製される半導体層のフッ素含有量を 1.0×10^{19} (atoms/cm³) 以下の小さな値を有するように作製する。この半導体層の膜質の改善により、ゲート絶縁膜との界面付近の膜質を良好し、トラップ準位が少ないことに起因して、V_{th}シフト量の少ない優れた特性のa-Si TFTを提供することができる。



【特許請求の範囲】

【請求項1】 基板の一主面上に、シリコン窒化膜からなる絶縁膜と半導体層とが互いに接するように積層されて一部の構成体が形成される半導体装置の製造において、前記半導体層のフッ素含有量が 1.0×10^{19} (atoms/cm³) 以下になるようにしたことを特徴とする半導体装置の製造方法。

【請求項2】 絶縁膜および半導体層が、プラズマ化学気相堆積法によって連続して作製されたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 絶縁膜および半導体層が、電界効果型トランジスタのゲート絶縁膜と半導体層であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 半導体層が、非晶質シリコン膜であることを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関するものである。

【0002】

【従来の技術】プラズマ化学気相堆積法（以後、プラズマCVD法と呼ぶ）でシリコン窒化膜（以後、SiNx膜と呼ぶ）と非晶質シリコン膜（以後、a-Si膜と呼ぶ）が各々、ゲート絶縁膜及び半導体膜として連続的に形成された薄膜電界効果トランジスタ（以後、a-Si TFTと呼ぶ）は優れたオン抵抗、オフ抵抗を有することから、液晶画像表示装置のスイッチング素子として実用化されている。

【0003】

【発明が解決しようとする課題】しかし、それらの作製過程において、プラズマCVD装置のプロセスチャンバー内部をNF₃、CF₄、SF₆などのガスを用いてクリーニングする際に、プロセスチャンバー内部にフッ素が残留し、直後に成膜した半導体層にフッ素が混入することによって、a-Si TFTのオン抵抗、オフ抵抗を劣化させるという問題がある。

【0004】そこで本発明は、半導体層の膜質を改善し、優れた信頼性を有するa-Si TFT等の半導体装置の製造方法を提供することを目的とするものである。

【0005】

【課題を解決するための手段】上記目的を達成するため、本発明は、プラズマCVD装置のプロセスチャンバーのクリーニング後に、水素プラズマを発生させる等の方法でプロセスチャンバー内の残留フッ素を除去し、プラズマCVD法で作製される半導体層のフッ素含有量が 1.0×10^{19} (atoms/cm³) 以下の小さな値を有するように作製するものである。

【0006】本発明は、半導体層の膜質の改善により、界面付近の膜質を良好し、トラップ準位が少ないことに起因して、優れた特性のa-Si TFTを提供するこ

とができる。従って、本発明の半導体層を用いた他の応用の半導体装置も優れた特性のものが得られる。

【0007】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して詳細に説明する。図1は本発明の一実施の形態におけるa-Si TFTの要部構造断面を示したものである。図1において、ガラス基板1上にCr、Al、Mo等の導電体からなるゲート電極2を選択的に形成する。

【0008】プラズマCVD装置のプロセスチャンバー内部をクリーニングした後に、水素プラズマを発生させることによりプロセスチャンバー内部のフッ素を除去する。

【0009】次いで、13.56MHzのグロー放電を用いた平行平板型のプラズマCVD法で、ゲート絶縁膜として 3000×10^{-10} m（又は3000Å）程度の膜厚のSiNx膜3と、半導体膜としてSiNx膜と同じプラズマCVD法で 2000×10^{-10} m（又は2000Å）程度のa-Si膜4及びリンを不純物として含むn+型のa-Si膜5を膜厚 200×10^{-10} m（又は200Å）程度連続的に堆積し、エッチング等でa-Si膜を選択的に除去して島状のa-Si膜のパターンを形成する。

【0010】さらに、a-Si膜4とn+型のa-Si膜5のパターン上にCr、Al、Mo等の導電体からなる膜を形成し、エッチング等で選択的に被着形成されたソース電極6とドレイン電極7との間のn+型a-Si膜を除去することにより、a-Si TFTが作製される。

【0011】a-Si TFTの特性において、本発明者らの研究によると、特にオン特性と信頼性は、半導体層の膜質によって大いに左右されることが解かった。特に、これらの半導体層の膜質の中でフッ素混入量が最適な膜質を示す大きなパラメータであることが確認された。

【0012】本実施の形態における半導体層のフッ素混入量は、a-Si TFTを作製するのと同じ条件で、両面研磨された単結晶シリコン基板上にSiNx膜と半導体層とを堆積させ、二次イオン質量分析（SIMS）によって、半導体層の単位体積あたりのフッ素含有量を定量して求めた。

【0013】半導体層の膜質の劣化によるa-Si TFT特性の劣化は、特にゲートのしきい値電圧V_{th}に現れ、印加したゲート電圧の符号の正、負により同符号のV_{th}のシフトが生じる。

【0014】本実施の形態におけるゲートのしきい値電圧V_{th}は、図1に示すa-Si TFTにおいて、チャンネル幅W、チャンネル長LのW/L比が6のものをいい、基板温度25.0±3.0℃で暗所の環境の中でソース接地、ドレイン電圧0.1Vを一定に印加した時に

ドレイン電流が 1×10^{-8} Aになる時のゲート電圧とした。また V_t シフト量は $a-Si$ TFTを長時間動作させ終了した時のしきい値電圧 V_t から $a-Si$ TFT作製直後のゲートしきい値電圧 V_t を減じたものである。

【0015】図3は、半導体層のフッ素含有量が 8.84×10^{19} (atoms/cm³) の $a-Si$ TFTの V_t シフトの模様を示したものである。 $a-Si$ TFT作製直後の特性がA曲線であり、 $V_t = V_{t1} = 0.5$ Vであった。 $a-Si$ TFTを暗所の乾燥窒素ガス雰囲気中 25.0 ± 3.0 °Cの環境でソース接地、ドレイン接地、ゲート電圧30V一定(直流動作条件)で10分動作させた後の特性がB曲線であり、 $V_t = V_{t2} = 4.5$ Vと、 V_t が正のシフトを示し、ゲート電圧が20Vの場合のドレイン電流は初期 $I_{D1} = 8.1 \mu A$ であったものが動作後では $I_{D2} = 7.2 \mu A$ と11%減少してしまっている。

【0016】図2は、水素プラズマ発生に際し、水素ガスの流量、放電パワー、真空度等のプラズマCVDの条件を種々変えて、プロセスチャンバー内部のフッ素量を変えた後に作製した半導体層について、暗所の乾燥窒素ガス雰囲気中 25.0 ± 3.0 °Cの環境で、ソース接地、ドレイン接地、ゲート電圧30V一定(直流動作条件)で10分動作させた時の V_t シフト量を縦軸に、半導体層のフッ素含有量を横軸にプロットした図である。

【0017】図2において、フッ素含有量をパラメータにすることにより、 $a-Si$ TFTの V_t シフト量が2つの直線上に並ぶ。そしてフッ素含有量が約 1.2×10^{19} (atoms/cm³) より大きくなると、 V_t シフト量がフッ素含有量の増加とともに増大することが明らかに

なった。

【0018】以上のことから、信頼性に優れた $a-Si$ TFTを得るには、半導体層のフッ素含有量が 1.0×10^{19} (atoms/cm³) 以下に小さいことが必要であることが解る。

【0019】

【発明の効果】以上説明したように、本発明によれば、フッ素含有量が 1.0×10^{19} (atoms/cm³) 以下に小さいプラズマCVD法で作製された半導体層は、前述したように界面付近の準位密度が小さく、半導体装置の半導体層として優れていると考えられる。更に、本発明の半導体層を用いた $a-Si$ TFTは V_t シフトが安定しており、優れた信頼性を有する $a-Si$ TFTを作製することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態における $a-Si$ TFTの要部構造断面図

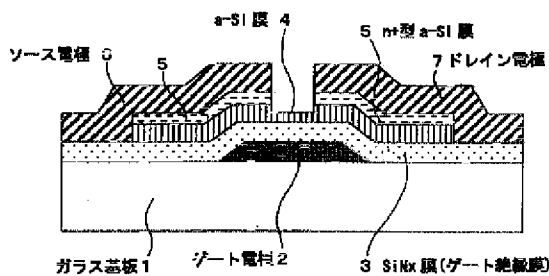
【図2】半導体層のフッ素含有量と直流動作を10分間行なった場合の $a-Si$ TFTの V_t シフト量との関係を示す特性図

【図3】縦軸にドレイン電流、横軸にゲート電圧をプロットし、 V_t シフトの様子を示した特性図

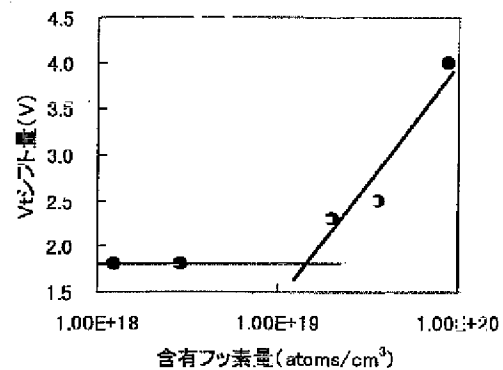
【符号の説明】

- 1 ガラス基板
- 2 ゲート電極
- 3 $SiNx$ 膜
- 4 $a-Si$ 膜
- 5 $n+$ 型 $a-Si$ 膜
- 6 ソース電極
- 7 ドレイン電極

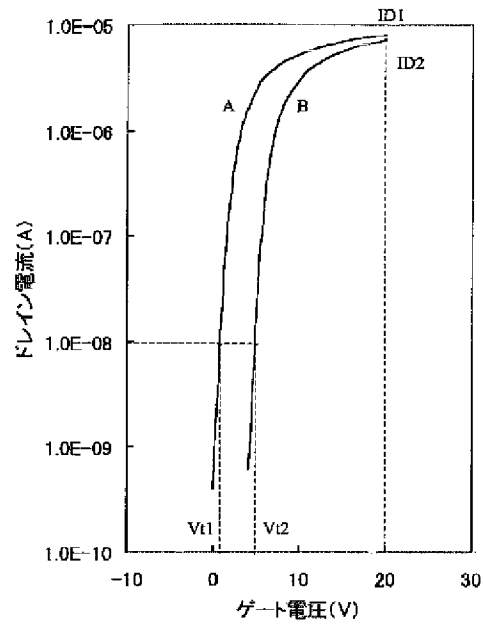
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 馬場 浩佐	Fターム(参考) 2H092 JA28 JA34 MA08 NA22
大阪府門真市大字門真1006番地 松下電器	5F045 AA08 AB04 AB33 CA15 DA59
産業株式会社内	EB06 EH13 HA22
(72)発明者 小西 芳広	5F110 AA14 BB01 CC07 DD02 EE03
大阪府門真市大字門真1006番地 松下電器	EE04 FF03 FF30 FF35 GG02
産業株式会社内	GG15 GG24 GG28 GG29 GG33
(72)発明者 小島 徹也	GG34 GG45 HK03 HK04 HK09
大阪府門真市大字門真1006番地 松下電器	HK16 HK21 HK25 HK35 QQ09
産業株式会社内	